

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-205469

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

G11C 11/407
G11C 5/14
G11C 11/413
G11C 11/401
G11C 29/00

(21)Application number : 04-211060

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 07.08.1992

(72)Inventor : PARK YONG-BO
LIM HYUNG-KYU
KIM BYEONG-YUN

(30)Priority

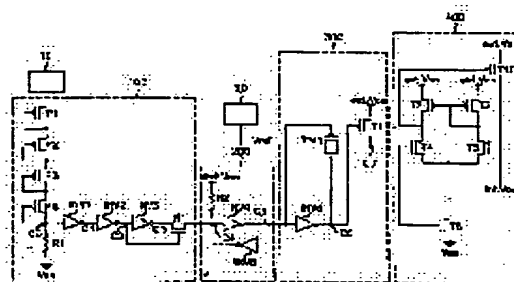
Priority number : 91 9114265 Priority date : 19.08.1991 Priority country : KR

(54) INTERNAL SOURCE VOLTAGE GENERATION CIRCUIT FOR SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To make it possible to perform a reliability test of a chip and to remarkably enhance the reliability by generating an internal source voltage equal to a reference voltage or an external source voltage level with an electrical program.

CONSTITUTION: A voltage sense part 100 senses the voltage applied to a pad 10 connected to the pin of the chip. A latch part 200 continues and keeps the voltage sensed by the voltage sense part 100. Then, a reference voltage control part 300 selectively outputs either of the reference voltage V_{ref} supplied from a reference voltage generation part 50 or the voltage of the external source voltage ext. V_{cc} level according to the output of the latch part 200. Then, an internal source voltage generation part 400 generates the internal source voltage int. V_{cc} according to the output of the reference voltage control part 300. Thus, only by once applying a high voltage exceeding a prescribed value to the pad 10, an internal voltage level is leveled up to the external source voltage level always.



LEGAL STATUS

[Date of request for examination] 07.08.1992

[Date of sending the examiner's decision of rejection] 06.06.1995

[Kind of final disposal of application other than application converted]

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

02.10.1995

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-205469

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/407				
5/14		8724-5L		
11/413				
		6628-5L	G 1 1 C 11/ 34	3 5 4 F
		6628-5L		3 3 5 A
審査請求 有 請求項の数20(全 7 頁) 最終頁に続く				

(21)出願番号 特願平4-211060

(22)出願日 平成4年(1992)8月7日

(31)優先権主張番号 1991 P 14265

(32)優先日 1991年8月19日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72)発明者 朴 用賢

大韓民国京畿道水原市勸善区梅灘洞196-43

(72)発明者 林 亨圭

大韓民国ソウル特別市江南区大峙3洞宇成2次アパート205-1001

(72)発明者 金 秉潤

大韓民国ソウル特別市西大門区北加左洞431延禧漢陽アパート3-405

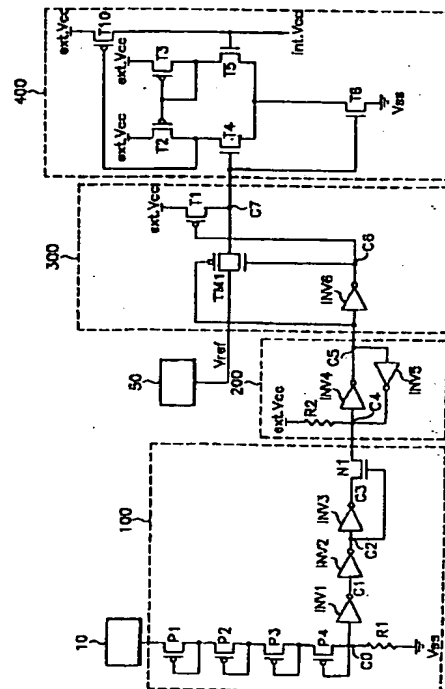
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 半導体メモリ装置の内部電源電圧発生回路

(57)【要約】

【目的】電気的プログラムにより、所望の電圧レベルや外部電源電圧レベルと同等のレベルの内部電源電圧を発生できるような内部電源回路の提供。

【構成】チップのピンと連結されたパッド10に接続され、パッド10に印加される電圧を感知する電圧感知部100と、電圧感知部100で感知された電圧を継続維持する役割をもつラッチ部200と、ラッチ部200の出力に応じて、基準電圧発生部50から供給される基準電圧Vref又は外部電源電圧ext.Vccレベルの電圧の何れかを選択的に出力する基準電圧制御部300と、基準電圧制御部300の出力に応じて内部電源電圧int.Vccを発生する内部電源電圧発生部400とからなる。



【特許請求の範囲】

【請求項1】 第1電位レベルの外部電源電圧を所定レベル程降下させた第2電位レベルの内部電源電圧によって動作する半導体メモリ装置の内部電源電圧発生回路において、

所定のパッドにかかる電圧を感知する電圧感知部と、電圧感知部の出力に応じて、基準電圧又は外部電源電圧の何れかのレベルの電圧を選択的に出力する基準電圧制御部と、基準電圧制御部の出力に応じて内部電源電圧を発生する内部電源電圧発生部とを備えていることを特徴とする内部電源電圧発生回路。

【請求項2】 電圧感知部は、上記パッドにチャンネルが直列接続された1つ以上のダイオード接続形のMOSトランジスタと、MOSトランジスタのチャンネルの一端と接地電圧端との間に接続された抵抗素子と、直列接続された1つ以上のインバータからなり、MOSトランジスタと抵抗素子との共通端子に入力端子が接続されたインバータチェーンとから構成されている請求項1に記載の内部電源電圧発生回路。

【請求項3】 MOSトランジスタがPMOSトランジスタである請求項2に記載の内部電源電圧発生回路。

【請求項4】 インバータチェーンがCMOSインバータ回路で構成されている請求項2に記載の内部電源電圧発生回路。

【請求項5】 基準電圧制御部は、基準電圧の伝送経路にチャンネルが形成され、電圧感知部の出力を制御端子に受けるようにされたトランスミッションゲートと、電圧感知部の出力をゲートに受けるようにされ、外部電源電圧端と前記伝送経路との間にチャンネルが接続されたプルアップトランジスタとから構成されている請求項1に記載の内部電源電圧発生回路。

【請求項6】 プルアップトランジスタがPMOSトランジスタである請求項5に記載の内部電源電圧発生回路。

【請求項7】 内部電源電圧発生部は、基準電圧制御部の出力及び内部電源電圧を入力とする差動増幅器と、差動増幅器の出力に応じて内部電源電圧を発生するドライバーとから構成される請求項1に記載の内部電源電圧発生回路。

【請求項8】 所定の電圧をプルアップするために電圧感知部の出力経路に接続された抵抗素子を備えたラッチ部を、電圧感知部と基準電圧制御部との間に設けている請求項1に記載の内部電源電圧発生回路。

【請求項9】 ラッチ部と電圧感知部とを電気的に接続又は非接続とするために、電圧感知部の出力経路にスイッチングトランジスタを設けている請求項8に記載の内部電源電圧発生回路。

【請求項10】 基準電圧発生装置と、チャンネルの一端が外部電源電圧端に接続されて内部電源電圧を発生するドライバー回路と、基準電圧発生装置の出力及び内部電

源電圧を入力とし、出力がドライバー回路の制御端子に印加されている差動増幅器とからなる半導体メモリ装置の内部電源電圧発生回路において、

所定のパッドにかかる電圧を感知し、該感知された電圧のレベルに応じて論理ハイの第1出力又は論理ロウの第2出力を発生する電圧感知部と、基準電圧発生装置の出力を制御して前記第1出力又は第2出力に応じた電位レベルを発生する基準電圧制御部とを備えていることを特徴とする内部電源電圧発生回路。

【請求項11】 電圧感知部と基準電圧制御部との間にラッチ部が設けられている請求項10に記載の内部電源電圧発生回路。

【請求項12】 電圧感知部は、上記パッドにチャンネルが直列連結された1つ以上のダイオード接続形の負荷用PMOSトランジスタと、接地電圧端に接続された駆動用抵抗素子と、負荷用PMOSトランジスタと駆動用抵抗素子との共通端子に入力端子が直列接続された伝送用インバータチェーンとから構成されている請求項10に記載の内部電源電圧発生回路。

【請求項13】 伝送用インバータチェーンの出力は、上記パッドにかかる電圧が、チップに規定された外部電源電圧以下である場合とチップに規定された外部電源電圧を越える場合とで相補的な値を有する請求項12に記載の内部電源電圧発生回路。

【請求項14】 電圧感知部は、伝送用インバータチェーンの出力経路にチャンネルが形成され、伝送用インバータチェーンの出力を許容又は抑止するスイッチングトランジスタを備えている請求項13に記載の内部電源電圧発生回路。

【請求項15】 基準電圧制御部は、電圧感知部の出力を制御端子に受けるようにされ、基準電圧発生装置の出力経路にチャンネルが形成されたトランスミッションゲートと、電圧感知部の出力によりトランスミッションゲートが非導通状態とされるときに基準電圧発生装置の出力経路の電位を外部電源電圧のレベルにするプルアップトランジスタとから構成されている請求項10に記載の内部電源電圧発生回路。

【請求項16】 感知される電圧のレベルが5.5ボルトを越えるときに電圧感知部は第1出力を発生し、感知される電圧のレベルが5.5ボルト以下のときに電圧感知部は第2出力を発生するようになっている請求項10に記載の内部電源電圧発生回路。

【請求項17】 電圧感知部から第1出力が発生されるときに基準電圧制御部で発生される電位レベルが外部電源電圧のレベルであり、電圧感知部から第2出力が発生されるときに基準電圧制御部で発生される電位レベルが基準電圧のレベルである請求項10に記載の内部電源電圧発生回路。

【請求項18】 第1電位レベルの外部電源電圧を所定レベル程降下させた第2電位レベルの内部電源電圧によ

って動作される半導体メモリ装置の内部電源電圧発生回路において、

所定のパッドに印加される電圧を感知する電圧感知部と、電圧感知部に接続された基準電圧制御部とを備えており、前記パッドに印加される電圧のレベルに応じて外部電源電圧又は内部電源電圧が発生されるようになって、いることを特徴とする内部電源電圧発生回路。

【請求項19】 上記パッドへの電圧の印加が中断された場合でも、その中断以前の状態を維持するために、電圧感知部と基準電圧制御部との間にラッチ部を設けている請求項18に記載の内部電源電圧発生回路。

【請求項20】 基準電圧制御部の出力が、内部電源電圧に相応する基準電圧又は外部電源電圧のレベルである請求項18に記載の内部電源電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高集積半導体メモリ装置内に具備される内部電源電圧発生回路に関するもので、特に電氣的プログラムにより出力電圧が設定可能な内部電源電圧発生回路に関するものである。

【0002】

【従来の技術】 半導体メモリ装置の高集積化によりチップ内に構成される各トランジスタ等の素子のサイズはますます小さくなる。このように小さくなったトランジスタ等に以前と同様の外部電源電圧をそのまま印加すれば、強い電界の形成等のストレスが大きくなり、各トランジスタの不良発生の増加を招来する。したがって、16M (mega: 10^6) 級以上の高集積半導体メモリ装置においては、外部電源電圧を所定のレベルに降下させてチップ内の動作電源電圧として使用するために内部電源電圧発生回路の搭載が必要となっている。例えば、16M級の半導体メモリ装置では、約5Vで印加される外部電源電圧を4Vに降下させた内部電源電圧を使用しており、そして16M級以上の半導体メモリ装置では、内部電源電圧、外部電源電圧ともさらに低くされる傾向にある。

【0003】 このような内部電源電圧発生回路の従来例を図5に示す。

【0004】 同図に示す内部電源電圧発生回路は、所望の内部電源電圧 $int. Vcc$ を発生するために所定の比較用基準電圧 $Vref$ を供給する基準電圧発生装置10と、内部電源電圧 $int. Vcc$ 及び基準電圧 $Vref$ を入力して比較し、その結果に基づいて内部電源電圧 $int. Vcc$ を制御するための差動増幅器からなる比較器30と、比較器30の制御のもとに外部電源電圧 $ext. Vcc$ を内部電源電圧 $int. Vcc$ に降下させるドライバ20とから構成される。

【0005】 ドライバ20の出力端を通じて出力される内部電源電圧 $int. Vcc$ はチップ内の各メモリ素子部（図示されていない）に供給されると同時に、比較

器30の入力とされている。したがって、各メモリ素子部で内部電源電圧 $int. Vcc$ が使用され、あるレベルまで降下すると、これが直ちに比較器30に感知されて比較器30の出力電圧、すなわちノードG1の電位レベルが低くなり、これによりドライバ20の導通性がさらに高くなり、内部電源電圧 $int. Vcc$ を再度補償するようになる。比較器30の動作特性はこの分野では公知の事項であるので、その詳細の説明は省略する。

【0006】 このように、従来の内部電源電圧発生回路を搭載する半導体メモリ装置においては、電源電圧が供給されるだけで直ちに内部電源電圧発生回路が動作し、外部電源電圧が一定のレベル以上になると一定の内部電源電圧を供給するようになっている。

【0007】 しかし、このような従来の内部電源電圧発生回路では、チップの信頼性試験等のためにチップの各回路へ供給される内部電源電圧を外部電源電圧と等しくする必要があるような場合、これを実現することができないという問題が生じる。例えば、チップの製造が終了した後にその完成チップ内に不良素子が含まれていないかどうかを検査するために“バーンインテスト” (burn in test: この分野で使用される専門用語で、完成されたチップの内の不良チップを発見するためにチップに規定された外部電源電圧以上の高電圧を長時間、高温状態で印加するテスト方法。このようにすることでチップ内の各構成素子にストレスを加重印加し、初期に不良を容易に検出することができる。いわゆる動作寿命試験。) 等を実施するが、このとき外部電源電圧を上昇させてもチップ内に印加される電圧は内部電源電圧以上に上昇しないという事態が発生する。したがって、効果的なバーンインテストを実施できず、不良チップを容易に検出できなくなり、その結果、時間的損失ばかりでなく半導体メモリ装置の信頼性を低下させてしまうことになる。

【0008】

【発明が解決しようとする課題】 したがって本発明の目的は、所望の電圧レベルや外部電源電圧レベルと同等のレベルの内部電源電圧を設定できるような内部電源電圧発生回路を提供することにある。

【0009】

【課題を解決するための手段】 このような目的を達成するために本発明による内部電源電圧発生回路は、基準電圧発生装置と、チャネルの一端が外部電源電圧端に接続されて内部電源電圧を発生するドライバ回路と、基準電圧発生装置の出力及び前記内部電源電圧を入力とし、出力がドライバ回路の制御端子に印加されている差動増幅器とからなる半導体メモリ装置の内部電源電圧発生回路において、所定のパッドにかかる電圧を感知し、該感知された電圧のレベルに応じて論理ハイの第1出力又は論理ロウの第2出力を発生する電圧感知部と、前記基準電圧発生装置の出力を制御して前記第1出力又は第2

出力に応じた電位レベルを発生する基準電圧制御部とを備えていることを特徴とする。このとき、電圧感知部から第1出力が発生されるときに基準電圧制御部で発生される電位レベルが外部電源電圧のレベルであり、電圧感知部から第2出力が発生されるときに基準電圧制御部で発生される電位レベルが基準電圧のレベルであるようにするとよい。

【0010】

【実施例】以下、添付の図面を参照して本発明の実施例を詳細に説明する。

【0011】本発明による内部電源電圧発生回路の実施例のブロック図を図1に示し、それに基づく具体的回路の実施例が図2及び図4に示されている。

【0012】図1に示すブロック図より分かるように、内部電源電圧発生回路は、電圧感知部100、ラッチ部200、基準電圧制御部300、及び内部電源電圧発生部400から構成される。

【0013】電圧感知部100は、チップのピンと連結されたパッド10に接続され、パッド10に印加される電圧を感知する。ラッチ部200は、電圧感知部100で感知された電圧を継続維持する役割をもつ。尚、このラッチ部200は省略することもできる。基準電圧制御部300は、基準電圧発生部50から供給される基準電圧 V_{ref} の伝送状態を制御し、基準電圧 V_{ref} 又は外部電源電圧 $ext. Vcc$ レベルの電圧の何れかを内部電源電圧発生部400に出力するようになっている。内部電源電圧発生部400は、基準電圧制御部300より与えられる基準電圧 V_{ref} 又は外部電源電圧 $ext. Vcc$ レベルの電圧の何れか一方と内部電源電圧 $int. Vcc$ とを入力とし、一定の内部電源電圧 $int. Vcc$ を発生する。

【0014】図2に示すのは、図1のラッチ部200を構成要素として用いた場合の回路の実施例である。電圧感知部100は、パッド10に印加される電圧を降下させるための負荷用PMOSトランジスタP1、P2、P3、P4と、PMOSトランジスタP4のチャネルの一端と接地電圧 V_{ss} との間に接続された抵抗素子R1と、PMOSトランジスタP4及び抵抗素子R1の共通端子に入力端子が接続されると共に直列連結されたインバータINV1、INV2、INV3からなるインバータチェーンと、インバータINV2の出力端子にゲートが接続され、インバータINV3の出力端子にチャネルの一端が接続されたスイッチングトランジスタN1とから構成される。

【0015】PMOSトランジスタP1～P4については、使用される内部電源電圧のレベルに応じて各チャネルサイズや個数を適宜変更でき、そして、インバータチェーンのインバータINV1～INV3の個数についても論理状態あるいは増幅動作等に応じて適宜変更できる。また、各インバータはCMOS回路で構成されてい

る。

【0016】ラッチ部200は、外部電源電圧 $ext. Vcc$ 端に接続された抵抗素子R2と、この抵抗素子R2を介して蓄積される電位を伝送及びラッチするためのインバータINV4、INV5とから構成されており、その出力は基準電圧制御部300に連続的に供給される。

【0017】基準電圧制御部300は、ラッチ部200の出力が制御端子に印加されるトランスミッシンゲートTM1と、インバータINV6と、プルアップトランジスタT1とから構成される。プルアップトランジスタT1は、ラッチ部200の出力によってトランスミッシンゲートTM1がターンオフするときのみターンオンして内部電源電圧発生部400の入力に接続されているノードC7を外部電源電圧 $ext. Vcc$ のレベルまで上昇させる。ここで、プルアップトランジスタT1は、そのサイズを他のトランジスタに比べて相当小さくしておかなければならない。すなわち、外部電源電圧 $ext. Vcc$ にノイズが発生した場合やパッド10に予期せぬ高電圧が突然印加されてしまったような場合に対処するため、パッド10に略直流電圧が印加されているときのみプルアップトランジスタT1を動作させるためである。

【0018】基準電圧発生装置50及び内部電源電圧発生部400の構成はこの分野で公知の事項のためその説明は省略する。

【0019】以上のように構成された図2の回路の動作を説明する。まず、チップの通常動作時、すなわちパッド10に印加される電圧が無い場合、又は(16M級以下の半導体メモリ装置においては)パッド10に印加される電圧が5.5V以下である場合を説明する。この場合、ノードC0はPMOSトランジスタP1～P4を通じて論理“ロウ(low)”レベルとなる(通常、一つのPMOSトランジスタのしきい電圧は約1Vである)。したがって、ノードC1、C2、C3はそれぞれ論理“ハイ(high)”、“ロウ”、“ハイ”レベルとなり、スイッチングトランジスタN1はターンオフされる。

【0020】一方、ラッチ部200のノードC4は抵抗素子R2によって論理“ハイ”レベルとされてインバータINV4、INV5によりラッチされる。このとき、ノードC4には電圧感知部100の出力に関わらず論理“ハイ”レベルの信号が継続してラッチされることになる。そしてノードC5は論理“ロウ”レベルとなる。

【0021】基準電圧制御部300のトランスミッシンゲートTM1はラッチ部200の論理“ロウ”レベルの出力によってターンオンし、基準電圧発生装置50から出力された基準電圧 V_{ref} を内部電源電圧発生部400へ伝送する。このとき、プルアップトランジスタT1はインバータINV6を介して論理“ハイ”レベルと

なったノードC6によってターンオフされる。

【0022】したがって、内部電源電圧発生部400は基準電圧 V_{ref} に応じて一定の内部電源電圧 $int.V_{cc}$ を出力する。要するに、パッド10に人為的な操作を何も加えない場合や、パッド10に5.5V以下の電圧が印加される場合は、図5に示した内部電源電圧発生回路と同様な動作をするものである。

【0023】次に、パッド10に人為的にチップの動作電圧以上の電圧(5.5Vを越える電圧)を印加する場合を説明する。パッド10にこのような電圧が印加されると、電圧感知部100のノードC0はPMOSTランジスタP1~P4を通じて論理“ハイ”レベルとなる。したがって、ノードC1、C2、C3はそれぞれ論理“ロウ”、“ハイ”、“ロウ”レベルとなり、この論理“ハイ”レベルのノードC2によってスイッチングトランジスタN1がターンオンされる。

【0024】このスイッチングトランジスタN1のターンオンによって、ラッチ部200のノードC4に蓄積されている論理“ハイ”レベルの電位は、スイッチングトランジスタN1のチャネルを通じてインバータINV3内の駆動端へ移動する(図3参照)。その結果、ノードC4が論理“ロウ”レベルとなり、したがってノードC5は論理“ハイ”レベルとなってラッチ部200は論理“ハイ”レベルの信号を出力する。このとき、パッド10に印加している電圧を降下させたり、電圧の印加をやめた場合でも、ラッチ部200は継続して論理“ハイ”レベルの信号を出力する。

【0025】したがって、基準電圧制御部300のトランスミッションゲートTM1はターンオフされ、基準電圧発生装置50の出力である基準電圧 V_{ref} の内部電源電圧発生部400への伝送が遮断される。一方、論理“ロウ”レベルとなったノードC6によりプルアップトランジスタT1がターンオンされ、ノードC7は外部電源電圧 $ext.V_{cc}$ レベルにチャージされる。したがって、基準電圧制御部300の出力は外部電源電圧 $ext.V_{cc}$ の電位レベルとなり、これが内部電源電圧発生部400の差動増幅器の入力となる。

【0026】その結果、差動増幅器の動作によってドライバT10が完全にターンオンされ、内部電源電圧発生部400から外部電源電圧 $ext.V_{cc}$ レベルの内部電源電圧 $int.V_{cc}$ が出力される。

【0027】このとき、パッド10に印加されている電圧が継続してチップの動作電源電圧を越えていても越えていなくても、あるいは、電圧の印加が中断されても、内部電源電圧 $int.V_{cc}$ は継続して外部電源電圧 $ext.V_{cc}$ レベルで出力される。すなわち、使用者がチップのパッド10に規定値を越える高電圧を一回印加するだけで、何時でも内部電源電圧 $int.V_{cc}$ を外部電源電圧 $ext.V_{cc}$ レベルにレベルアップさせることができる。

【0028】要するに、使用者が、電気的プログラムによって、内部電源電圧 $int.V_{cc}$ をチップの動作電圧である4V程度の電圧とするか、外部電源電圧 $ext.V_{cc}$ である5V程度の電圧とするか、自由に選択できるものである。

【0029】図4には図1のラッチ部200を省略した場合の回路の実施例を示す。尚、図2の実施例と同じ構成要素には同じ符号を付し、重複する説明は省略する。

【0030】この実施例の全体的な動作は図2の実施例と略同様であるが、パッド10に5.5Vを越える電圧が印加されているときにのみ内部電源電圧 $int.V_{cc}$ が外部電源電圧 $ext.V_{cc}$ レベルとなるという点が異なっている。すなわち、この実施例には図2の実施例のようなラッチ部がないので、内部電源電圧発生部400から出力される内部電源電圧 $int.V_{cc}$ を継続して外部電源電圧 $ext.V_{cc}$ レベルに維持するためには、パッド10に5.5Vを越える電圧を印加し続けなければならない。

【0031】したがって、図2の実施例の場合には、パッド10に一回でも5.5Vを越える高電圧が印加されれば、パッド10への電圧の印加を中断しても内部電源電圧 $int.V_{cc}$ は継続して外部電源電圧 $ext.V_{cc}$ レベルを維持するので、この内部電源電圧 $int.V_{cc}$ を再び基準電圧 V_{ref} レベルに戻すためには、全ての外部電源の接続を完全に断絶しなければならない。しかし、図4の実施例の場合には、パッド10に印加する電圧を調整するだけで内部電源電圧 $int.V_{cc}$ を制御できる。

【0032】上記の実施例によれば、高集積の半導体メモリ装置で低い動作電圧を使用する場合でも、電圧感知部のトランジスタを適切に調節することにより、電圧感知部に感知されるパッドの電圧レベルを調整できる。

【0033】上記に示した実施例は本発明の思想を実現する最適の実施例であり、電圧感知部や基準電圧発生部等は本発明の技術的な範囲において異なる構造とすることも可能であることは、この分野で通常の知識をもつものであれば容易に理解できるであろう。

【0034】

【発明の効果】以上述べてきたように、本発明による内部電源電圧発生回路は、内部電源電圧のレベルを所定の基準電圧又は外部電源電圧の何れかのレベルに等しくなるように電気的にプログラムできるようにしたことによって、例えば“バーンインテスト”時等にチップの内部に外部電源電圧を印加でき、ストレスを加重印加して不良を検出することが容易にできるようになる。その結果、半導体メモリ製品の信頼性が大幅に向上するという効果がある。

【図面の簡単な説明】

【図1】本発明による内部電源電圧発生回路の実施例のブロック図。

【図2】図1の内部電源電圧発生回路の具体的回路の実施例を示す回路図。

【図3】図2の回路の一部詳細を示す回路図。

【図4】図1の内部電源電圧発生回路の具体的回路の他の実施例を示す回路図。

【図5】従来の内部電源電圧発生回路を示す回路図。

【符号の説明】

10 バッド

50 基準電圧発生装置

100 電圧感知部

200 ラッチ部

300 基準電圧制御部

400 内部電源電圧発生部

P1～P4 PMOSトランジスタ

INV1～INV6 インバータ

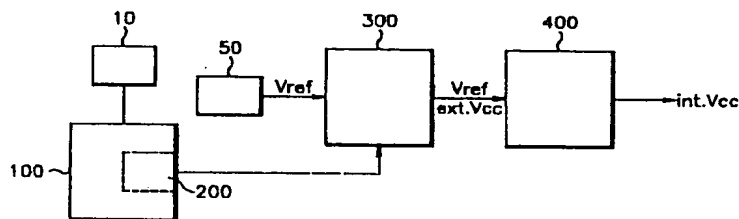
N1 スwitchングトランジスタ

R1、R2 抵抗素子

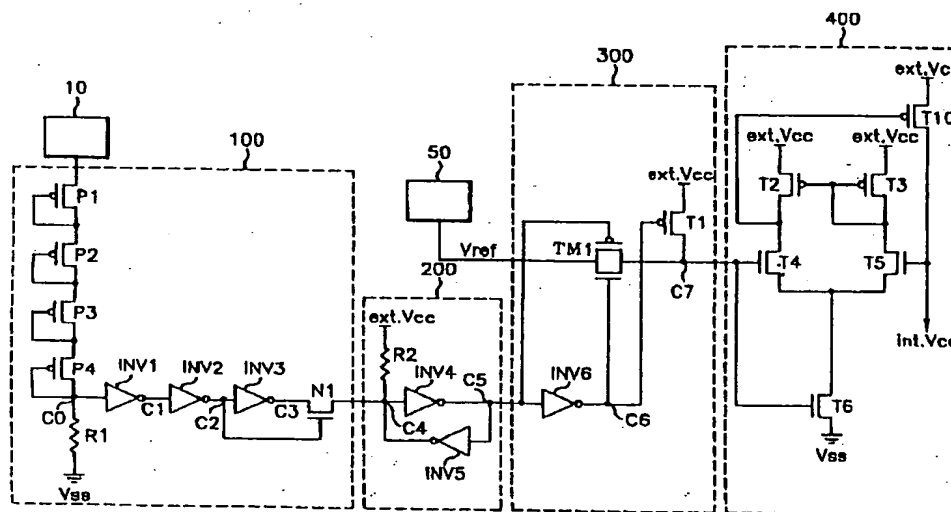
TM1 トランSMissionゲート

T1 フルアップトランジスタ

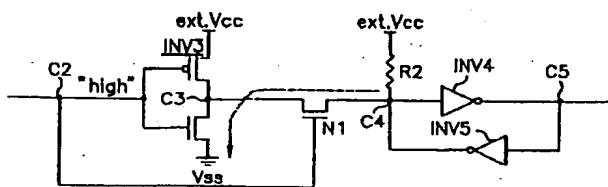
【図1】



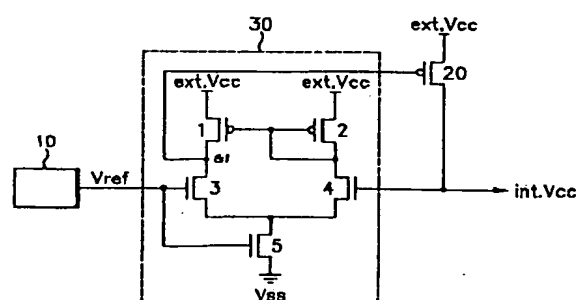
【図2】



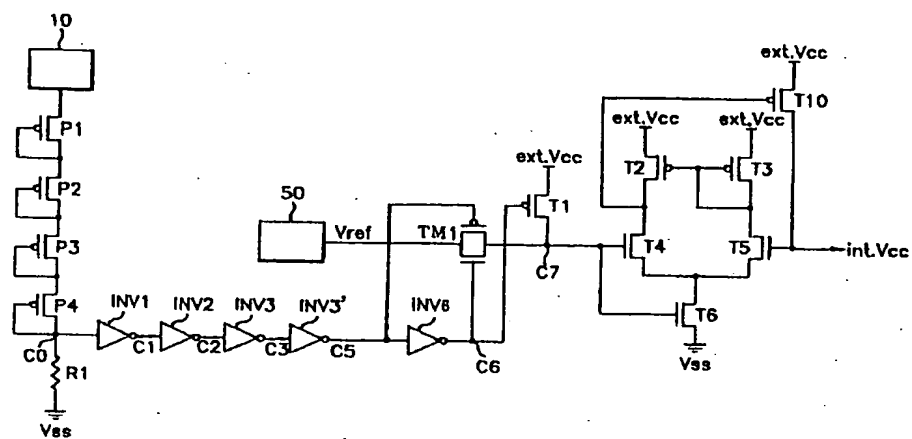
【図3】



【図5】



【図4】



フロントページの続き

(51) Int. Cl. 5

G 1 1 C 11/401

29/00

識別記号

片内整理番号

F I

技術表示箇所

3 0 3 B 9288-5 L

6628-5 L

G 1 1 C 11/34

3 7 1 A